

(様式 11)

平成 27 年 2 月 4 日

学 位 論 文 審 査 要 旨 (課程博士)

東京農工大学大学院工学府長 殿

審査委員	主査	関根 優年	印
	副査	北澤 仁志	印
	副査	長坂 研	印
	副査	藤吉 邦洋	印
	副査	中條 拓伯	印
	副査		印

学位申請者	電子情報工学専攻 平成 23 年度入学 学籍番号 11834208
	氏 名 黎 江
申請学位	博 士 (工学)
論文題目	ハードウェア・ソフトウェア複合体方式による多次元再構成可能プロセッサ・アレイに関する研究 A Study on a Multidimensional Configurable Processor Array in Hardware and Software Complex Architecture
論文審査要旨 (2000 字程度) 再構成可能な LSI である FPGA を用いて、高性能かつ低消費電力の高速計算機を実現する研究が行われているが、多くの試みでは、FPGA をプロセッサの補助回路をしたボード構成が主である。また、このボードを 1 次元または 2 次元接続している。本研究では、FPGA 内に論理回路による処理回路を構築し、この FPGA を多次元アレイ構造する方式を提案している。この提案方式を用いることで、特定用途向きの安価な計算機システムへ適用し、計算対象に合わせた演算構造に最適な計算機構造を構築することで、従来のプロセッサをグリッド状に配置した方式では成しえなかったコスト・パフォーマンスを示そうとしたものである。 具体的には、市販の FPGA を搭載し、上下左右前後の 6 方向の接続端子を有するカード状のボードを作成し、このボードを 1 から 3 次元接続できるようにしたものである。対象となる問題に対応した次元構造を構築することで、不要な配線コストや通信コストの発生を回避することが可能となっている。 本論文は以下のように 5 章からなっている。	

第1章では、関連分野の概要を述べている。今主流の High performance computing (HPC) は、グリッド・ノード構成した汎用プロセッサ群で構成されている。プロセッサ群の並列演算により高速演算を行えるが、電力および発熱問題が顕在化している。そのために、低消費電力であると同時に高性能を有するプロセッサが要求されている。マルチ・コア構成のプロセッサとして、GPGPU 方式はが提案されているが、ピーク性能に対して、実効性能はアプリ毎に大きく変動する。また、ノード間通信のボトルネックは光通信などを用いた方法が提案されている。

第2章では、本研究を実現するに上で必要となる、これまでに開発されてきた研究成果として、ソフトウェアとハードウェアとの統合技術、FPGA ボードの構造やプロトコル、回路の書き込み方法などを述べている。

第3章では、この可能性を判断するため、3次元 FPGA アレイ構造の Virtual Object by Configurable Array of Little Scalable Engine (Vocalise) というシステムの構成方法提案している。この Vocalise の特徴は、

- 1, ソフトウェアと論理回路との密結合による多様なアプリケーションを容易に構築できる設計基盤、
- 2, 対象となるアプリケーションの次元に合わせて、次元構造の変更が可能、パーソナルな HPC として3次元接続まで可能な、スケーラブルな FPGA アレイ構造である。

アプリ開発では、論理回路の設計知識や開発ツールの使用が必要であるが、アプリケーションを開発者やアルゴリズム研究者などのソフトウェア・プログラマーにとっては、FPGA を利用することは困難と言える。この問題を解決するために、先行研究として論理回路をオブジェクトとしてラップした hwObject を用いることで、アプリ・ソフト内にソフト・オブジェクトのように組み込む方法を開発している。この方法で構成したアプリ・システムを hw/sw 複合体と呼ぶ。この hw/sw 複合体の構成を用いる事で、アプリ設計者は簡単に FPGA アレイに仮想回路設定/アクセス/コントロールが可能である。標準化した周辺・制御回路やプロトコルは hw/sw 複合体では、隠ぺいされていて、アプリで使用する演算・処理回路に注力し、ソフトのように記述するだけで良く、対応するインターフェース回路の設計は不要となっている。

通常の再構成可能な HPC システムは一、二次元のネットワーク構成である。3次元計算問題については、3次元格子を2次元や1次元構成のプロセッサ・ネットワークに展開せざるを得ず、不要なデータ転送が生じるため、全体の演算性能が悪化する。3次元構成が可能な Vocalise は大量な小型の FPGA カードを集積した3次元 FPGA アレイシステムを構築している。各 FPGA カードは(上・下, 前・後, 左・右)3次元方向に外部通信端子を持つ、FPGA 間三次元接続が可能である。FPGA アレイは演算規模に合わせ必要な FPGA カードを増減させることでスケーラブルな設計である。hw/sw 複合体の構成により、簡単に、ホスト PC によって制御される。対象とする問題の次元構造に併せて FPGA アレイの接続方法を選択することで、問題に合わせた大規模な演算ネットワークを実装した。この本研究での多次元 FPGA アレイによる高速かつ柔軟な回路書き込み方法およびデータ通信方式は注目すべき結果である。

第4章では、性能評価について述べている。この提案手法の有効性を実証するため、数値計算問題 CIP 法と三次元ポアソン方程式を例として、66MHz で動作する両方式の演算回路を Vocalise システムに実装し、演算性能、通信オーバーヘッド、消費電力にける評価を行なった。その結果、三次元 CIP 法の場合、一枚当たりの FPGA の性能は 1.916 [GFlops] であり、99% のピーク性能 (1.93 [GFlops]) であった。三次元ポアソン方程式の場合、 $2 \times 2 \times 2 = 8$ 枚構成の FPGA アレイでは、12.46 [GFlops] の性能があった。最大規模 $4 \times 4 \times 8 = 128$ の構成で FPGA アレイを構築すると、全体システムでは 199.36 [GFlops] の性能、435W の消費電力となる。この評価に用いた FPGA は低性能の FPGA であり、高速演算用では 500MHz 動作が可能である。その FPGA を使用した場合には 2TFlops の実効性能が予想される。以上の結果に基づき、Vocalise の具体的な効率と性能は注目すべき結果である。第5章では、提案システムについて議論、まとめを行っている。Vocalise に複数の処理回路（移動、音声認識、音声合成、画像認識など）を実時間処理するアプリや大量な画像を送信する Web アプリの検討も行った。最後に、今後のまとめを行った。

以上のように、本研究は、ソフトウェアと大量の多次元接続された論理回路からなる複合構造の重要な点を明らかにし、次世代の計算機構造の基本構成に関する知見を与えたものと言える。よって、本論文は博士（工学）学位論文として合格と認める。